



(19)

(11) Publication number:

03220725 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02016830

(51) Intl. Cl.: H01L 21/3205 H01L 21/90

(22) Application date: 25.01.90

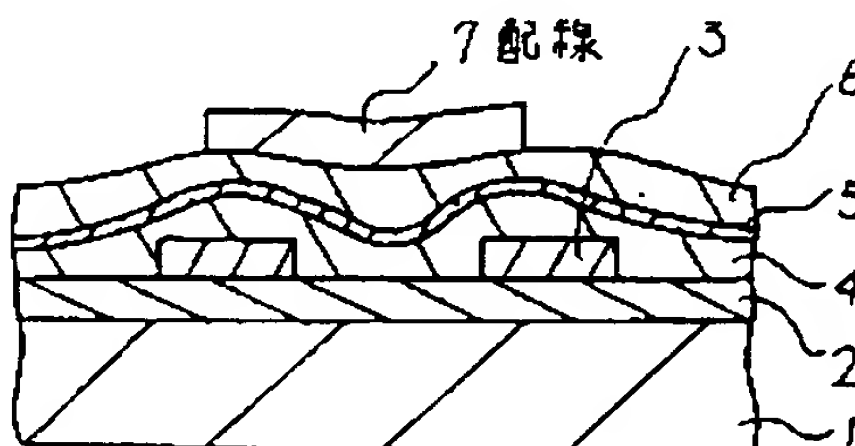
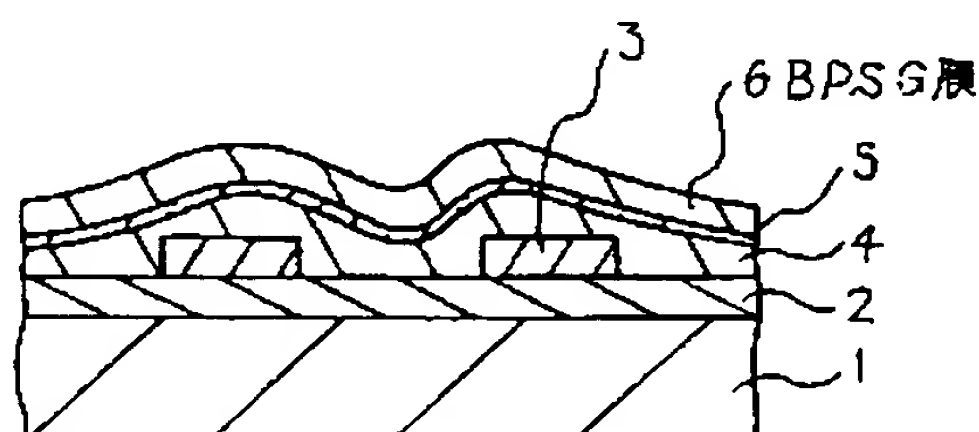
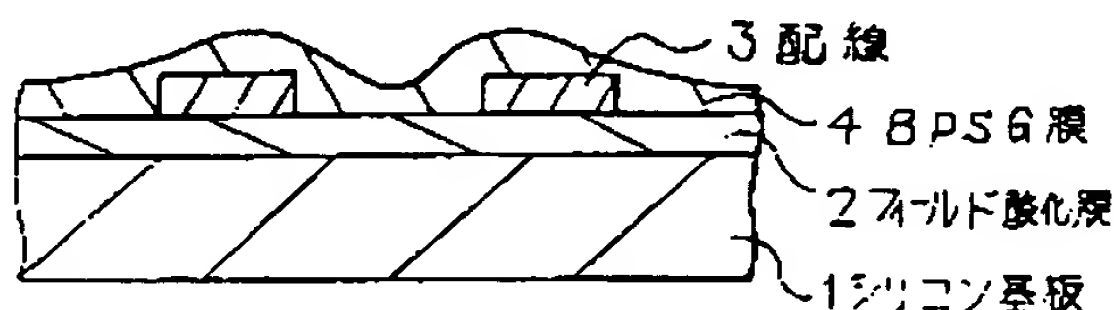
| | |
|---|---|
| (30) Priority: (43) Date of application publication: 27.09.91 (84) Designated contracting states: | (71) Applicant: NEC CORP (72) Inventor: NARITA YOSHITAKA (74) Representative: |
|---|---|

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To contrive planarization of a layer insulating film by providing a first insulating film having a larger reflow capacity so as to reflow and depositing a second insulating film having a smaller reflow capacity and a third insulating film having a large reflow capacity consecutively on the surface of the first insulating film.

CONSTITUTION: A field oxide film 2 is provided on a silicon substrate 1. A lower layer wiring 3 is selectively installed thereon. A BPSG(boron phosphosilicate glass) film 4 is deposited on these surfaces based on the CVD process and heat-treated in a nitrogen-ambient atmosphere. Then, an oxidizing silicon film is deposited and a BPSG film 6 is further deposited after the BPSG film is coated. Under the nitrogen ambient atmosphere, reflow processing is carried out so as to make smooth the surface. At that time, the oxidizing silicon film 5 works so as to inhibit the fluidity of the BPSG film 4. Furthermore, the offset on the surface is reduced so that tensile force may be relieved on the surface of the BPSG film at the projected parts. It is, therefore, possible to further flatten the surface of the layer insulating film.



COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-220725

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月27日

H 01 L 21/3205
21/90

R

6810-5F
6810-5F

H 01 L 21/88

K

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-16830

⑰ 出 願 平2(1990)1月25日

⑱ 発 明 者 成 田 宜 隆 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称
半導体装置

特許請求の範囲

1. 半導体基板上に設けた絶縁膜上に設けた下層配線と、前記下層配線を含む表面に設けたリフロー性の大きい第1の絶縁膜及びリフロー性の小さな第2の絶縁膜及びリフロー性の大きい第3の絶縁膜を順次積層して設けた層間絶縁膜と、前記層間絶縁膜の上に設けた上層配線とを備えたことを特徴とする半導体装置。

2. リフロー性の大きい第1及び第3の絶縁膜としてBPSG膜を用いた請求項1記載の半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に多層配線層

を有する半導体装置に関する。

〔従来の技術〕

従来の半導体装置の層間絶縁膜は、不純物を含有した酸化膜、たとえばPSG(Phospho-Silicate Glass)膜、BPSG(Boron Phospho-Silicate Glass)膜等の単層で形成されていた。

第2図(a)～(c)は従来の半導体装置の製造方法を説明するための工程順に示した半導体層チップの断面図である。

第2図(a)に示すように、シリコン基板1の上に形成したフィールド酸化膜2の上に選択的に下層の配線3を設け、配線3を含む表面にBPSG膜4をCVD法により堆積する。

次に、第2図(b)に示すように、約900℃の熱処理により表面を平滑化する。このとき、配線3が存在する部分では、表面張力8が働き配線3により段差の高い部分に向ってひっぱられ、低い部分で薄く、高い部分で厚くなる傾向があり、この傾向は、リフロー性が強い(リフロー温度が高い、リフロー時間が長い)ほど顕著になる。さ

らに、BPSG膜4を厚くしても容易に緩和されない。

次に、第2図(c)に示すように、BPSG膜4の上に上層の配線7を選択的に形成するが、配線7はBPSG膜4の上面の形状に従って形成され平坦性が悪くなる。

〔発明が解決しようとする課題〕

上述した従来の半導体装置は、層間絶縁膜が単相で形成されているので、リフローにより平坦化するとき下地配線層の疎密あるいは、段差によって、表面の平坦性が均一に達成できないという欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板上に設けた絶縁膜上に設けた下層配線と、前記下層配線を含む表面に設けたリフロー性の大きい第1の絶縁膜及びリフロー性の小さい第2の絶縁膜及びリフロー性の大きい第3の絶縁膜を順次積層して設けた層間絶縁膜と、前記層間絶縁膜の上に設けた上層配線とを備えている。

-3-

る。

次に、第1図(d)に示すように、900℃の窒素雰囲気中で30分間のリフロー処理を行い表面を平滑化する。このとき、酸化シリコン膜5はBPSG膜4の流動性を抑制するように働き、且つその表面の段差が小さくなっているためBPSG膜6の表面で凸部に向かう張力が緩和されBPSG膜6の表面が平坦化される。次に、BPSG膜6の上に上層の配線7を選択的に設ける。

なお、酸化シリコン膜5の代りに窒化シリコン膜を用いても良く、BPSG膜6をスチーム雰囲気中でリフローできる利点があり、BPSG膜6の平坦化を促進することが可能となる。

〔発明の効果〕

以上説明したように本発明は、下層配線を含む表面にリフロー性の大きい第1の絶縁膜を設けてリフローし、なめらかにした表面(平坦性は悪い)に第2のリフロー性の小さい絶縁膜と、リフロー性の大きい第3の絶縁膜を順次堆積し、リフ

-5-

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)～(d)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、シリコン基板1の上にフィールド酸化膜2を設け、フィールド酸化膜2の上に0.3μmの厚さのアルミニウム層からなる下層の配線3を選択的に設ける。次に、配線3を含む表面にCVD法によりBPSG膜4を0.3μmの厚さに堆積し900℃の窒素雰囲気中で30分間熱処理してBPSG膜4の表面を平滑化させる。このとき、配線3が存在する部分では表面張力のために平滑化が阻害されている。

次に、第1図(b)に示すように、CVD法により、酸化シリコン膜5を0.1μmの厚さに堆積してBPSG膜4を被覆する。

次に、第1図(c)に示すように、CVD法によりBPSG膜6を0.2μmの厚さに堆積す

-4-

ローした層間絶縁膜を設けることにより、層間絶縁膜を平坦化できる効果がある。

このとき、リフロー性の小さい第2の絶縁膜は、リフロー性の大きい第1の絶縁膜が、リフロー性の大きい第3の絶縁膜のリフローのときに形状を変えないようにする働きをしており、この効果のため、第3の絶縁膜のみがリフローし、平坦化が達成される。もしも、この第2の絶縁膜が存在しなければ、平坦化は望めない。

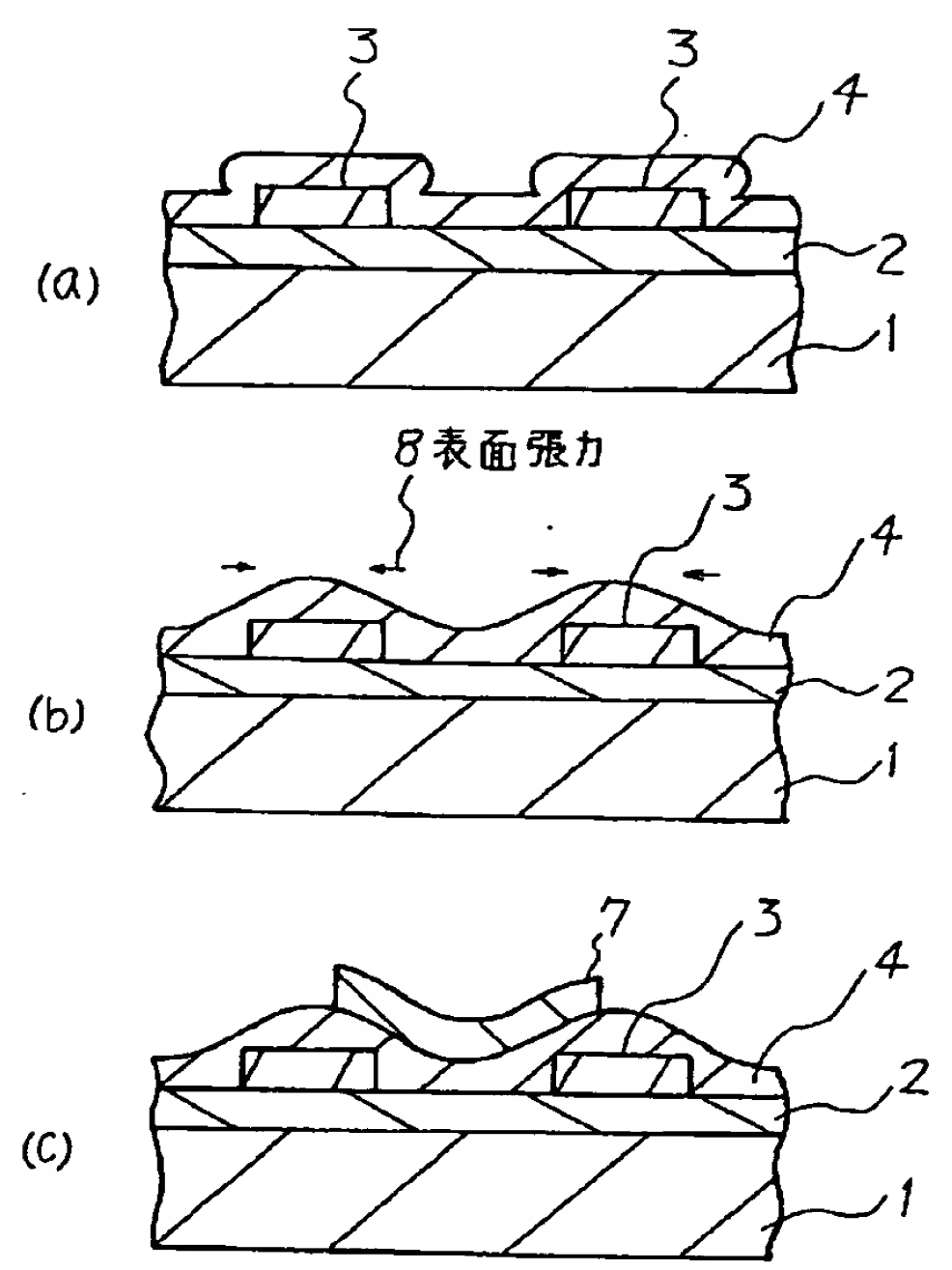
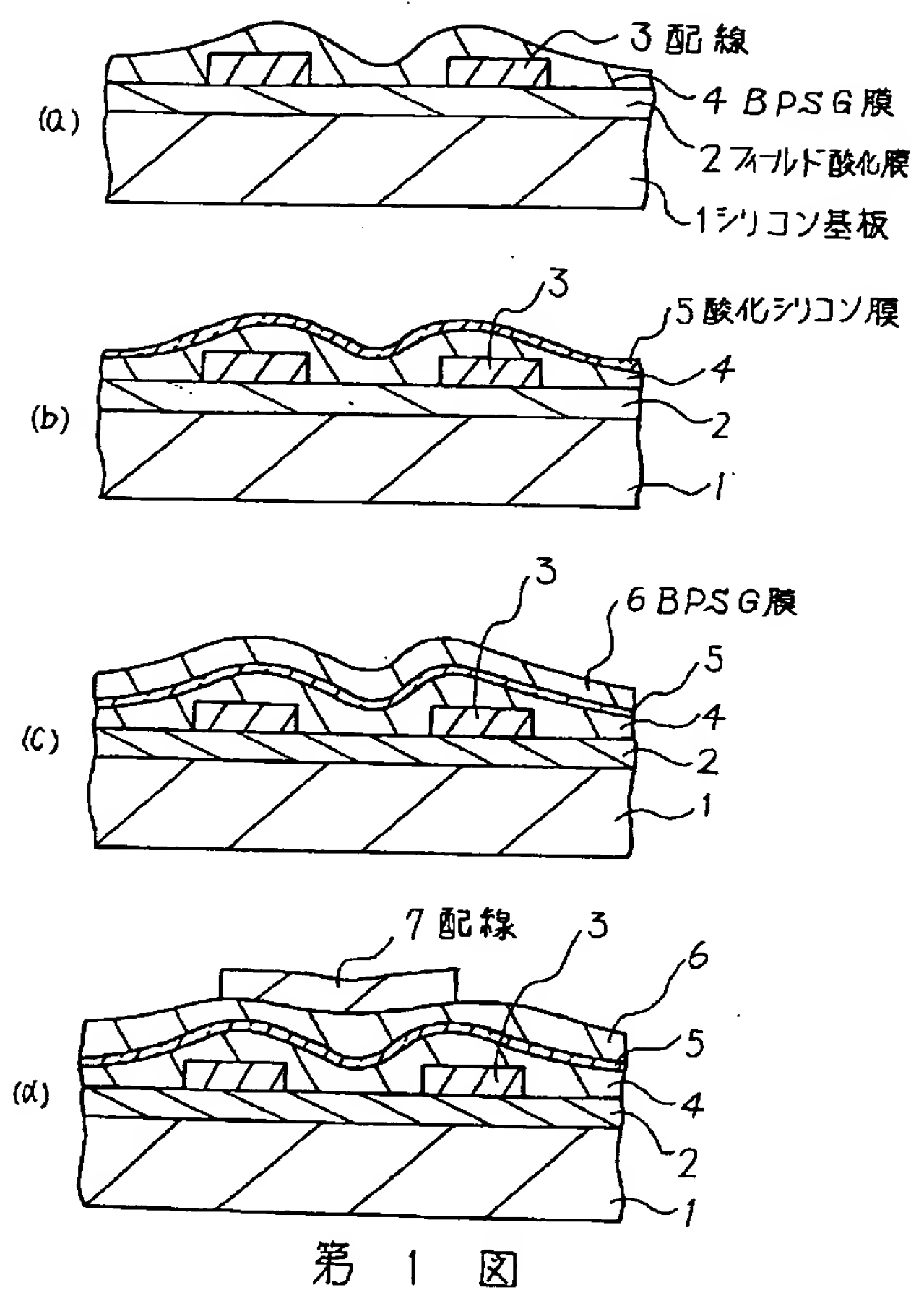
図面の簡単な説明

第1図(a)～(d)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図、第2図(a)～(c)は、従来の半導体装置の製造方法を説明するための工程順に示した半導体チップの断面図である。

1…シリコン基板、2…フィールド酸化膜、3…配線、4…BPSG膜、5…酸化シリコン膜、6…BPSG膜、7…配線層。

代理人 井理士 内 原 晋

-6-



第 2 図